PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-050070
(43)Date of publication of application : 20.02.1998

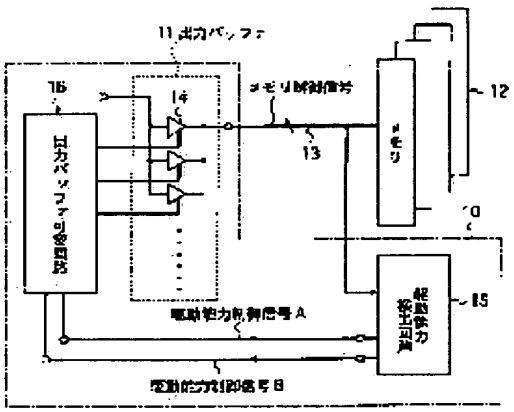
(51)Int.Cl. G11C 11/417
G11C 11/409
H01L 27/10
H03K 19/0175

(21)Application number : 08-206716
(22)Date of filing : 06.08.1996

(71)Applicant : NEC NIIGATA LTD
(72)Inventor : IIZUKA HIDEO

(54) MEMORY CONTROLLER

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a memory controller provided with an output buffer having driving capacity suitable for load capacity of an output line.
SOLUTION: The memory controller 10 is provided with plural output buffers 11 respectively outputting memory control signals, a common driving capacity detection circuit 15 outputting driving capacity control signals based on the signal waveform on the output lines 13 connected to the output ends of respective output buffers and a common output buffer variable circuit 16 adjusting the driving capacity of the output buffers according to the driving capacity control signals. By adjusting the driving capacity of the output buffers 11 matched with the load capacity of respective output lines 13, the control signal having an optimum signal waveform is obtained. The malfunction of a memory 12 is reduced, and further, the design of the output buffer 11 is simplified.



LEGAL STATUS

[Date of request for examination]	06.08.1996
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3022777
[Date of registration]	14.01.2000
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平10－50070

(43)公開日　平成10年(1998)２月20日

(51)Int.Cl.[6]	識別記号	庁内整理番号	ＦＩ		技術表示箇所
Ｇ１１Ｃ	11/417		Ｇ１１Ｃ	11/34	３０５
	11/409		Ｈ０１Ｌ	27/10	
Ｈ０１Ｌ	27/10		Ｇ１１Ｃ	11/34	３５４Ｑ
Ｈ０３Ｋ	19/0175		Ｈ０３Ｋ	19/00	１０１Ｆ

審査請求 有　請求項の数４　ＯＬ　（全５頁）

(21)出願番号　特願平8－206716

(22)出願日　平成８年(1996)８月６日

(71)出願人　000190541
新潟日本電気株式会社
新潟県柏崎市大字安田7546番地

(72)発明者　飯塚　英夫
新潟県柏崎市大字安田7546番地　新潟日本電気株式会社内

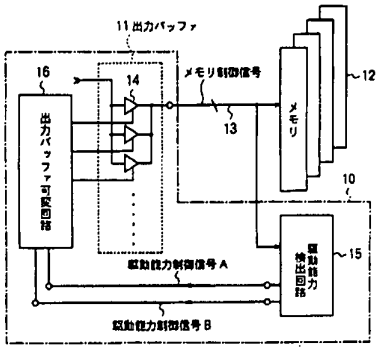
(74)代理人　弁理士　稲垣　清

(54)【発明の名称】　メモリコントローラ

(57)【要約】

【課題】　出力ラインの負荷容量に適応した駆動能力を有する出力バッファを備えるメモリコントローラを提供する。

【解決手段】　メモリコントローラ１０は、夫々がメモリ制御信号を出力する複数の出力バッファ１１と、各出力バッファの出力端に接続された出力ライン１３の信号波形に基づいて駆動能力制御信号を出力する共通の駆動能力検出回路１５と、駆動能力制御信号に従って出力バッファの駆動能力を調整する共通の出力バッファ可変回路１６とを具備する。各出力ライン１３の負荷容量に合わせて出力バッファ１１の駆動能力を調整することにより、最適な信号波形を有する制御信号が得られる。メモリ１２の誤動作が減少し、また、出力バッファ１１の設計が簡素化される。



1

【特許請求の範囲】

【請求項１】　メモリ制御信号を出力する出力バッファと、該出力バッファの出力端に接続された出力ラインの信号波形に基づいて駆動能力制御信号を出力する駆動能力制御信号生成手段と、前記駆動能力制御信号に従って前記出力バッファの駆動能力を調整する駆動能力調整手段とを具備したことを特徴とするメモリコントローラ。

【請求項２】　前記出力バッファが複数のバッファ素子から構成されており、前記駆動能力調整手段は、駆動される複数のバッファ素子の個数を選択することにより前記調整を行う、請求項１に記載のメモリコントローラ。

【請求項３】　前記複数のバッファ素子は夫々、出力ライン充電用トランジスタ及び出力ライン放電用トランジスタから成り、前記駆動能力調整手段は、前記充電用トランジスタ及び放電用トランジスタを夫々個別に制御する、請求項２に記載のメモリコントローラ。

【請求項４】　前記駆動能力制御信号生成手段は、複数の出力バッファに共通に配設され、各出力バッファに対応する駆動能力制御信号を順次に出力する、請求項１乃至３の何れか一に記載のメモリコントローラ。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、メモリコントローラに関し、特に、出力バッファの電流駆動能力を可変としたメモリコントローラに関する。

【０００２】

【従来の技術】駆動能力を可変とした出力バッファ回路が知られている。例えば、特開平５－６７９６１号公報には、この形式の出力バッファ回路が記載されており、これを図４に示す。出力バッファ回路２０は、制御信号入力端子２３にＨレベル又はＬレベルの制御信号を供給することにより、出力最終段を成すバッファ回路２４の駆動能力を２段階に制御する。つまり、バッファ回路２４の相互に並列に接続されたインバータの一方を出力ライン２２の駆動時にオンとし、他方は、外部から与える制御信号に基づいて、出力ラインの駆動時に、前記一方と共にオンとし、又は、常にオフに保つ。これにより、出力バッファ回路２０の駆動能力を使用条件に合わせて２段階に変える構成である。

【０００３】ところで、コンピュータシステムでは、使用されるメモリの容量が益々大きくなり、特に、多バンク構成のメモリが採用される傾向にある。このような多バンク構成のメモリでは、メモリコントローラの出力ラインに接続されるメモリのバンク数が多いことから、出力ラインの負荷容量が特に大きくなるため、出力バッファの駆動能力を可変とする要請が特に大きい。この場合、上記公報記載の出力バッファ回路を採用することも考えられる。

【０００４】

【発明が解決しようとする課題】しかし、上記公報記載

2

の出力バッファ回路は、駆動能力が２段階に制御できるものであるが、何れにしても、接続される負荷容量及び必要な動作速度を勘案してそれに見合う駆動能力を有するトランジスタを選択することに変りはない。つまり、出力バッファが選択された後には、２段階での制御は可能であるものの、出力バッファの駆動能力を負荷容量に応じて変えることは出来ない。

【０００５】本発明は、負荷容量に見合った駆動能力を容易に出力可能とした出力バッファを有することにより、出力バッファの設計を簡素化すると共にメモリの誤動作等の発生を防止できるメモリコントローラを提供することを目的とする。

【０００６】

【課題を解決するための手段】上記目的を発生するため、本発明のメモリコントローラは、メモリ制御信号を出力する出力バッファと、該出力バッファの出力端に接続された出力ラインの信号波形に基づいて駆動能力制御信号を出力する駆動能力制御信号生成手段と、前記駆動能力制御信号に従って前記出力バッファの駆動能力を調整する駆動能力調整手段とを具備したことを特徴とする。

【０００７】本発明のメモリコントローラの好ましい態様では、上記出力バッファを複数のバッファ素子から構成し、駆動能力調整手段は、駆動される複数のバッファ素子の個数を選択することにより前記調整を行うように構成する。

【０００８】また、上記複数のバッファ素子を夫々、出力ライン充電用トランジスタ及び出力ライン放電用トランジスタから構成し、駆動能力調整手段は、充電用トランジスタ及び放電用トランジスタを夫々個別に制御することも好ましい態様である。この場合、特に最適な信号波形が得られる。

【０００９】本発明のメモリコントローラによると、その負荷容量の大小に関わらず最適な駆動能力を実現することが出来る。このため、過大なオーバーシュートやアンダーシュート等のノイズが発生せず、メモリの誤動作等の発生を防止することができる。

【００１０】

【発明の実施の形態】以下、本発明の実施形態例に基づいて本発明を更に詳細に説明する。図１は、本発明の一実施形態例のメモリコントローラ１０を含むメモリシステムを示すブロック図である。同図において、このメモリシステムでは、メモリコントローラ１０の出力バッファ１１の負荷を構成する共通接続された多数バンクのメモリ１２が、メモリ制御信号を伝達する出力ライン１３に接続されている。なお、同図には、便宜上唯１つの出力バッファ１１及び出力ライン１３を示したが、これらは、制御信号の数だけ配設される。

【００１１】メモリコントローラ１０は、夫々が１つのメモリ制御信号を出力する複数の出力バッファ１１と、

3

各出力バッファ11の信号波形を検出する共通の駆動能力検出回路15と、駆動能力検出回路15の出力を受けて出力バッファ11の駆動能力を制御する共通の出力バッファ可変回路16とを備える。各出力バッファ11には、並列接続された複数のバッファ14が配設される。複数のメモリ制御信号は、例えば、カラムアドレ・ススストローブ（CAS）、ロウアドレス・ストローブ（RAS）、ライトイネーブル信号（WE）、アドレス信号、及び、データ信号を含んでいる。

【0012】メモリシステム構築時には、メモリ12の負荷容量の大きさに関らず、各出力バッファ11の駆動能力が最大になるように選択しておくことにより、出力バッファ11の駆動能力が最適な値になるような制御が各制御信号毎に行われる。駆動能力検出回路15は、周期的又は間欠的に作動し、各出力バッファ11から出力ライン13を経由してメモリ12に出力されるメモリ制御信号を順次に検出し、それに基づいて各出力ライン13に対応する駆動能力制御信号A及びBを順次に出力する。出力バッファ可変回路16は、駆動能力制御信号A及びBを受けて、各出力バッファ11内で並列接続された多数のバッファ14を制御して、各出力バッファ11の駆動能力を順次に調整する機能を有する。

【0013】図2（a）～（d）は夫々、図1のメモリコントローラの動作を説明するための、出力バッファの駆動能力の大きさの各場合に対応する出力ラインの信号波形を示す。図2（a）に示す場合のように、出力バッファの駆動能力が大きいために、或る出力ラインにオーバーシュートが発生しているときには、駆動能力検出回路はこのオーバーシュートを所定の基準値と比較して検出し、その検出結果から、オーバーシュートが発生している出力ラインの出力バッファの駆動能力を1ランク下げるために、所定の駆動能力制御信号A及びBを出力する。

【0014】駆動能力制御信号A及びBは、出力バッファ可変回路に送られ、出力バッファ可変回路は、この駆動能力制御信号A及びBに基づいて、出力バッファの駆動能力を1ランク下げる。つまり、並列に接続されている多数のバッファの内の1つについて、その駆動を停止する。この動作は、図2（b）に示す信号波形が得られるまで繰り返され、過大なオーバーシュートがない信号波形が得られる。

【0015】また、出力ラインに図2（c）に示すようなアンダーシュートが生じている場合にも、駆動能力検出回路は、所定の基準値と比較してこれを検出し、アンダーシュートが発生している出力ラインの出力バッファの駆動能力を1ランク下げるために、所定の駆動能力制御信号A及びBを出力する。駆動能力制御信号A及びBは、出力バッファ可変回路に送られ、出力バッファ可変回路は、この制御信号に基づいて、出力バッファの駆動能力を1ランク下げる。つまり、並列に接続されている

4

多数のバッファの内の1つについて、その駆動を停止する。この動作は、図2（b）に示すような波形が得られるまで繰り返され、過大なアンダーシュートがない信号波形が得られる。

【0016】また、図2（d）に示すように、駆動能力が小さすぎる場合には、駆動能力検出回路は、駆動能力を1ランク上げるために駆動能力制御信号A及びBを出力する。出力バッファ可変回路は、この駆動能力制御信号に基づいて出力バッファの駆動能力を1ランク上げる。つまり、出力バッファ内で駆動されるバッファを1つ追加する。

【0017】なお、例えばCMOSトランジスタを採用するバッファの場合には、より最適な信号波形を得るために、出力ラインを充電するPチャネルトランジスタと出力ラインから放電するNチャネルトランジスタとを、個別（単独）に追加駆動することも出来る。この場合、先に示したオーバーシュート又はアンダーシュートを個別に且つ実質的に零に出来る。

【0018】図3は、図1に示したメモリコントローラにおける駆動能力制御信号の波形をタイミングチャートで示している。駆動能力制御信号は、例えば所定の時間間隔をおいて周期的に出力されるもので、その各出力期間は、制御信号の出力を予告する開始予告期間と、各出力ライン毎の制御信号を順次に出力する各制御信号出力期間と、制御信号の出力の終了を告知する終了告知期間とから成る。

【0019】開始予告期間では、駆動制御信号Aをロウレベルとし駆動制御信号Bを4クロック送る。これにより、次に各出力ラインに対応する個別の駆動制御信号が出力される旨を予告する。各制御信号出力期間では、制御信号Aがクロックを構成し、2クロックの間に1つの制御ラインに対応する個別制御信号を成す駆動能力制御信号Bが出力される。つまり、個別制御信号は、2クロックの間に出力される2ビットの信号として構成される。

【0020】個別制御信号が2クロック期間Hレベルであることは、つまり、個別制御信号＝（H、H）は、現在の駆動能力が高いので駆動能力を1ランク下げる必要があることを意味する。また、個別制御信号が最初のクロック期間Hレベルで次のクロック期間Lレベルであることは、つまり個別制御信号＝（H、L）は、現在の駆動能力が低いため駆動能力を1ランク上げる必要があることを意味し、同様に、個別制御信号＝（L、L）は、現状の駆動能力が適当であることを意味する。従って、図示の場合では、RAS_0、RAS_1、CAS_0、アドレス、及び、データは、夫々、現在の駆動能力が「高い」、「低い」、「適当」、「高い」、「低い」ことを示している。

【0021】終了告知期間には、駆動能力制御信号Bがクロックを構成し、4クロックの間駆動能力制御信号A

5

をHレベルとする。これによって、駆動制御信号の出力が終了したことを告知する。

【0022】出力バッファ可変回路では、駆動能力制御信号A及びBに基づいて、各出力バッファの駆動能力の調整を行う。まず、各出力ライン毎に駆動能力を上げるか、下げるか、又は、現状維持とするかの制御の内容をその内部レジスタに格納し、この内部レジスタに基づいて、各出力バッファにおける並列バッファの数を増減させ又は維持する。この駆動信号波形の検出及び出力バッファの駆動能力調整は、各制御信号で最適な信号波形が得られるまで繰り返される。

【0023】上記実施形態例のメモリコントローラでは、夫々がメモリ制御信号を出力する複数の出力バッファについて、その構成自体は、出力バッファ相互間で且つ異なるメモリコントローラ間で共通にしつつ、夫々に最適な信号波形を個別に得ることが出来る。これによって、出力バッファの設計が簡素化され且つメモリの誤動作が防止できる。従来は、メモリの負荷容量が大きいこと及びばらつくことに起因して、メモリコントローラの出力バッファの設計が困難であった。

【0024】なお、上記実施形態例では、多数の出力ラインに対して共通の駆動能力検出回路及び出力バッファ可変回路を設けた例を示したが、これに代えて、各出力ライン毎に各1つの駆動能力検出回路及び出力バッファ可変回路を設けてもよい。

【0025】以上、本発明をその好適な実施形態例に基づいて説明したが、本発明は、上記実施形態例の構成にのみ限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施したメモリコントローラも、

6

本発明の範囲に含まれる。

【0026】

【発明の効果】以上、説明したように、本発明のメモリコントローラによると、メモリの負荷容量の大きさを個別に考慮することなく、適切な駆動能力を有するメモリコントローラを容易に実現でき、また、過大なオーバーシュートやアンダーシュートに起因するノイズが発生せず、メモリの誤動作等の発生を防止することもできる。

【図面の簡単な説明】

【図1】本発明の一実施形態例のメモリコントローラのブロック図。

【図2】図1のメモリコントローラの作用をを説明するための駆動信号の波形図。

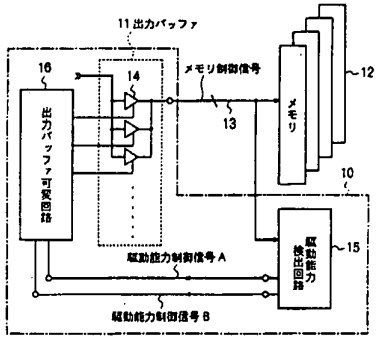
【図3】図1のメモリコントローラにおける駆動能力制御信号の波形を示すタイミングチャート。

【図4】従来の出力バッファ回路のブロック図。

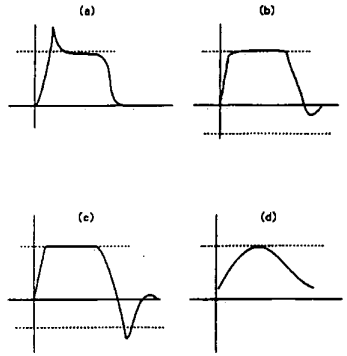
【符号の説明】

10　メモリコントローラ
11　出力バッファ
12　メモリ
13　出力ライン
14　バッファ素子
15　駆動能力検出回路
16　出力バッファ可変回路
20　出力バッファ回路
21　入力端子
22　出力端子
23　制御信号入力端子
24　最終段出力バッファ

【図1】



【図2】



[図3]

[図4]